

IN THE U.S. PATENT AND TRADEMARK OFFICE

CLAIM TO PRIORITY

July 9, 2003

Applicant(s) herewith claim(s) the benefit of the priority filing date of the following application(s) for the above-entitled U.S. application under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55:

Certified copy(ies) of the above-noted application(s)
is(are) attached hereto.

YOUNG & THOMPSON

Benoit Castel, Reg. No. 35,041

Attachment(s): 1 Certified Copy(ies)

日本国特許庁
JAPAN PATENT OFFICE

7S

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月 9日

出願番号

Application Number:

特願2002-200351

[ST.10/C]:

[JP2002-200351]

出願人

Applicant(s):

NECエレクトロニクス株式会社

2003年 5月13日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3034324

【書類名】 特許願

【整理番号】 71110550

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H03L 7/087
H03L 7/099

【発明の名称】 クロックデーターカバリー回路

【請求項の数】 6

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 佐々木 健一

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 内野 真一

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 青木 泰

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100090158

【弁理士】

【氏名又は名称】 藤巻 正憲

【電話番号】 03-3433-4221

【手数料の表示】

【予納台帳番号】 009782

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715181

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロックデータリカバリー回路

【特許請求の範囲】

【請求項 1】 S O N E T / S D H で用いられるクロックデータリカバリー回路において、入力信号から入力クロックを抽出するクロック抽出手段と、前記入力信号をリタイミングするリタイミング用クロックを生成するリタイミング用クロック生成手段と、リタイミング後の入力信号を一時的に保管する先入れ先出しメモリ手段と、前記先入れ先出しメモリ手段での書き込みのタイミングを前記リタイミング用クロックで制御し読み出しのタイミングを前記入力クロックで制御することにより書き込み側アドレス値と読み出し側アドレス値との重複を回避する第 1 位相調整手段とを有することを特徴とするクロックデータリカバリー回路。

【請求項 2】 前記クロック抽出手段は、前記リタイミング用クロックの位相と前記入力信号の位相とを比較してアップ信号又はダウン信号を出力し前記入力信号を前記リタイミング用クロックでリタイミングして出力する第 1 位相比較手段と、前記第 1 位相比較手段が出力するアップ信号又はダウン信号によりカウント値を 1 だけ加算又は減算したカウント値を出力する第 1 アップダウンカウンタ手段と、前記第 1 アップダウンカウンタ手段から入力されるカウント値により重み付けされたアップ信号又はダウン信号を出力する加重手段と、前記加重手段から入力されるアップ信号又はダウン信号により電圧値を決定し出力する電圧値決定手段と、前記電圧値決定手段から入力される電圧値により発振周波数を決定し前記入力クロックを出力する電圧制御発振手段とを有することを特徴とする請求項 1 に記載のクロックデータリカバリー回路。

【請求項 3】 前記リタイミング用クロック生成手段は、前記第 1 位相比較手段から入力されるアップ信号又はダウン信号によりカウント値を 1 だけ加算又は減算したカウント値を出力する第 2 アップダウンカウンタ手段と、前記第 2 アップダウンカウンタ手段から入力されるカウント値により前記クロック抽出手段から入力される前記入力クロックの位相を調整して前記リタイミング用クロックを出力する第 2 位相調整手段とを有することを特徴とする請求項 2 に記載のクロ

ックデータリカバリー回路。

【請求項 4】 前記加重手段は、前記第 1 アップダウンカウンタ手段から入力されるアップ信号又はダウン信号と固定値とを比較する大小比較器と、前記大小比較器からの大小比較データと前記第 1 アップダウンカウンタ手段からのカウント値と前記第 3 アップダウンカウンタ手段から入力されるカウント値とから前記電圧値決定手段に出力する信号を決定する論理回路とを有することを特徴とする請求項 2 又は 3 に記載のクロックデータリカバリー回路。

【請求項 5】 前記第 1 位相調整手段は、前記リタイミング用クロック生成手段から入力される前記リタイミング用クロックのタイミングでカウントされるカウント値及びこのカウント値の最上位ビットを出力する第 1 カウンタ手段と、前記クロック抽出手段から入力される前記入力クロックのタイミングでカウントされるカウント値及びこのカウント値の最上位ビットを出力する第 2 カウンタ手段と、前記第 1 カウンタ手段から入力されるカウント値の最上位ビットの位相と前記第 2 カウンタ手段から入力されるカウント値の最上位ビットの位相とを比較しアップ信号又はダウン信号を出力する第 2 位相比較手段と、前記第 2 位相比較手段から入力されるアップ信号又はダウン信号によりカウント値を 1 だけ加算又は減算しカウント値を出力する第 3 アップダウンカウンタ手段とを有することを特徴とする請求項 2 又は 3 に記載のクロックデータリカバリー回路。

【請求項 6】 前記第 1 位相比較手段は、前記入力信号を前記リタイミング用クロックでリタイミングし出力する第 1 フリップフロップと、前記入力信号の位相と前記リタイミング用クロックの位相とを比較しハイ信号又はロー信号を出力する第 2 フリップフロップと、前記第 2 フリップフロップから入力されるハイ信号又はロー信号によりアップ信号又はダウン信号を出力する第 3 フリップフロップとを有することを特徴とする請求項 2 乃至 5 のいずれか 1 項に記載のクロックデータリカバリー回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、クロックデータリカバリー回路に関し、特に光通信ネットワーク用

SONET (Synchronous Optical Network) / SDH (Synchronous Digital Hierarchy) 標準規格で用いられるクロックデータリカバリー回路に関する。

【 0 0 0 2 】

【従来の技術】

米同期伝送網 (SONET : Synchronous Optical Network) は、米国の3次群の回線 (45 Mビット/秒) を光ファイバー伝送路に効率良く収容し、経済的なデジタル・ネットワークを形成するために、1980年代半ばに米国規格協会 (ANSI) により標準化された。また、同期デジタル・ハイアラキー (SDH : Synchronous Digital Hierarchy) は、日米欧で異なっているデジタル・ハイアラキーを統一するため、SONETを元に1988年にITU-T (International Telecommunication Union-Telecommunication Standardization Sector) 準化された同期デジタル・ハイアラキー仕様であり、このSDHにより世界レベルのATM (Asynchronous Transfer Mode : 非同期転送モード) 網構築が現在までに実現されている。

【 0 0 0 3 】

従来のクロックデータリカバリー回路は、入力信号自身から抽出したクロックを用いて入力信号をリタイミングし、このリタイミングされた信号と抽出されたクロックとを出力するのが一般的である。SONET/SDHで用いられるクロックデータリカバリー回路では、クロックデータリカバリー回路からの出力信号である抽出されたクロック及び出力データの両方がSONET/SDH標準規格を満足させる特性を有する必要がある。特に、デジタル通信システムでは、過度のジッタは許容範囲外のBER (Bit Error Rate) につながるため、クロックデータリカバリー回路から抽出されたクロック及び出力データは、そのジッタ伝達特性及びジッタ耐力の両方がSONET/SDH標準規格を満たさなければならない。

【 0 0 0 4 】

図10は、従来の一般的なクロックデータリカバリー回路を示すブロック図である (Digest of Technical Papers, pp251, Figure 15.2.2, 2002 IEEE International Solid-State Circuits Conference)。従来のクロックデータリカバリ

一回路では、シリアルデータ S401 及び電圧制御発振器 (Voltage Controlled Oscillator : VCO) 407 が出力するクロック S402 を、それぞれ位相検出回路 (Phase Detector : PD) 401 及び周波数検出回路 (Frequency Detector : FD) 402 に入力し、これらシリアルデータ S401 とクロック S402 との間の位相差及び周波数差の情報を得る。得られた位相差情報 S403 及び周波数差情報 S404 を、それぞれ PD フィルター 403 又は FD フィルター 404 で平滑化し、それぞれ平滑化された位相差情報 S405 及び周波数差情報 S406 を得る。これらの平滑化された情報 S405 及び S406 を加重回路 405 に入力して重み付け及び切換え等の操作を加えて出力 S407 を得る。この 405 からの出力 S407 を高周波除去フィルター (Low Pass Filter : LPF) 406 に入力し、この LPF 406 からの出力 S408 を入力電圧情報として VCO 407 に入力する。この入力電圧により VCO 407 の発振周波数が制御されクロック S402 が出力される。

【0005】

位相検出回路 401 及び周波数検出回路 402、PD フィルター 403、FD フィルター 404、加重回路 405、LPF 406 及び VCO 407 は位相同期回路 (Phase-Locked Loop : PLL) を形成するように接続されている。よって、VCO 407 が出力するクロック S402 は、シリアルデータ S401 から抽出されたクロックとなる。また、フリップフロップ 408 は、シリアルデータ S401 を VCO 407 が出力したクロック S402 でリタイミングする。よって、VCO 407 が出力するリタイミングのために抽出されたクロック S402 とフリップフロップ 408 が出力するリタイミングされたシリアルデータ S409 とが、クロックデータリカバリー回路の出力となる。

【0006】

【発明が解決しようとする課題】

しかしながら、このような従来のクロックデータリカバリー回路では、シリアルデータから抽出されたクロックで、このシリアルデータ自身をリタイミングするため、抽出されたクロックの位相とリタイミング用のクロックの位相とを別々に制御できない。このため、入力されるシリアルデータが高周波成分のジッタを

含んでいる場合、ジッタ伝達特性の規格とジッタ耐力の規格とを同時に満足させることができない。

【 0 0 0 7 】

例えば、図 1 0 に示した従来のクロックデータリカバリー回路において、抽出クロック S 4 0 2 のジッタを抑えるように回路を制御した場合、ジッタ伝達特性は満足させられる。しかし、入力されるシリアルデータ S 4 0 1 にジッタが含まれると、フリップフロップ 4 0 8 はジッタを含むデータをジッタを抑えたクロックでリタイミングすることになりデータ誤りを発生する。よって、ジッタ耐力を満足させられない。一方、抽出クロック S 4 0 2 のジッタを抑圧しないように回路を制御した場合、入力されるシリアルデータ S 4 0 1 がジッタを含んでいても、フリップフロップ 4 0 8 はジッタを含むデータを同じジッタを含むクロックでリタイミングすることになるため、データ誤りの発生頻度は少なくなる。よって、ジッタ耐力は向上する。しかし、この場合、抽出クロック S 4 0 2 は入力されるシリアルデータ S 4 0 1 と同じジッタを含むことになり、ジッタ伝達特性を満足させることができない。

【 0 0 0 8 】

本発明はかかる問題点に鑑みてなされたものであって、入力信号からクロックを抽出する手段とリタイミング用クロックを生成する手段とを分離し、抽出されるクロックの位相とリタイミング用クロックの位相とを別々に制御することにより、ジッタ伝達特性及びジッタ耐力の両方が S O N E T / S D H 規格を同時に満足させることができるクロックデータリカバリー回路を提供することを目的とする。

【 0 0 0 9 】

【課題を解決するための手段】

本発明に係るクロックデータリカバリー回路は、入力信号から入力クロックを抽出するクロック抽出手段と、前記入力信号をリタイミングするリタイミング用クロックを生成するリタイミング用クロック生成手段と、リタイミング後の入力信号を一時的に保管する先入れ先出しメモリ手段と、前記先入れ先出しメモリ手段での書き込みのタイミングを前記リタイミング用クロックで制御し読み出しの

タイミングを前記入力クロックで制御することにより書き込み側アドレス値と読み出し側アドレス値との重複を回避する第 1 位相調整手段とを有することを特徴とする。

【 0 0 1 0 】

本発明においては、入力信号をリタイミングするためのリタイミング用クロックを、クロック抽出手段が抽出する入力クロックとは独立に生成することができる。このため、クロック抽出手段において抽出される入力クロックの位相をジッタ伝達特性を向上させる方向に調整しジッタ耐力が低下するような場合においても、リタイミング用クロック生成手段においてリタイミング用クロックの位相を別途調整しジッタ耐力の規格を満足させるリタイミング用クロックを生成することができる。また、これら抽出された入力クロック、リタイミング用クロック及び入力信号とを前記先入れ先出しメモリに入力し、信号の乗せ換え操作を行うことにより、ジッタ耐力の規格を満足するリタイミング用クロックでリタイミングされ、ジッタ伝達特性の規格を満足する抽出された入力クロックへ乗せ換えられたデータを出力させることができる。よって、ジッタ耐力及びジッタ伝達特性の両方の規格を同時に満足させることが可能である。さらに、前記クロックデータリカバリ回路は第 1 位相調整手段を有するため、前記先入れ先出しメモリ手段での書き込み側のアドレス値と読み出し側のアドレス値とがぶつかり合うことがない。

【 0 0 1 1 】

前記クロック抽出手段は、前記リタイミング用クロックの位相と前記入力信号の位相とを比較してアップ信号又はダウン信号を出力し前記入力信号を前記リタイミング用クロックでリタイミングして出力する第 1 位相比較手段と、前記第 1 位相比較手段が出力するアップ信号又はダウン信号によりカウント値を 1 だけ加算又は減算したカウント値を出力する第 1 アップダウンカウンタ手段と、前記第 1 アップダウンカウンタ手段から入力されるカウント値により重み付けされたアップ信号又はダウン信号を出力する加重手段と、前記加重手段から入力されるアップ信号又はダウン信号により電圧値を決定し出力する電圧値決定手段と、前記電圧値決定手段から入力される電圧値により発振周波数を決定し前記入力クロック

クを出力する電圧制御発振手段とで構成することができる。

【 0 0 1 2 】

また、前記リタイミング用クロック生成手段は、前記第 1 位相比較手段から入力されるアップ信号又はダウン信号によりカウント値を 1 だけ加算又は減算したカウント値を出力する第 2 アップダウンカウンタ手段と、前記第 2 アップダウンカウンタ手段から入力されるカウント値により前記クロック抽出手段から入力される前記入力クロックの位相を調整して前記リタイミング用クロックを出力する第 2 位相調整手段とで構成することができる。

【 0 0 1 3 】

前記加重手段は、前記第 1 アップダウンカウンタ手段から入力されるアップ信号又はダウン信号と固定値とを比較する大小比較器と、前記大小比較器からの大小比較データと前記第 1 アップダウンカウンタ手段からのカウント値と前記第 3 アップダウンカウンタ手段から入力されるカウント値とから前記電圧値決定手段に出力する信号を決定する論理回路とで構成することができる。

【 0 0 1 4 】

また、前記第 1 位相調整手段は、前記リタイミング用クロック生成手段から入力される前記リタイミング用クロックのタイミングでカウントされるカウント値及びこのカウント値の最上位ビットを出力する第 1 カウンタ手段と、前記クロック抽出手段から入力される前記入力クロックのタイミングでカウントされるカウント値及びこのカウント値の最上位ビットを出力する第 2 カウンタ手段と、前記第 1 カウンタ手段から入力されるカウント値の最上位ビットの位相と前記第 2 カウンタ手段から入力されるカウント値の最上位ビットの位相とを比較しアップ信号又はダウン信号を出力する第 2 位相比較手段と、前記第 2 位相比較手段から入力されるアップ信号又はダウン信号によりカウント値を 1 だけ加算又は減算しカウント値を出力する第 3 アップダウンカウンタ手段とで構成することができる。

【 0 0 1 5 】

前記第 1 位相比較手段は、前記入力信号を前記リタイミング用クロックでリタイミングし出力する第 1 フリップフロップと、前記入力信号の位相と前記リタイミング用クロックの位相とを比較しハイ信号又はロー信号を出力する第 2 フリッ

プフロップと、前記第 2 フリップフロップから入力されるハイ信号又はロー信号によりアップ信号又はダウン信号を出力する第 3 フリップフロップとで構成することができる。

【 0 0 1 6 】

この第 1 フリップフロップが入力信号を入力クロックでリタイミングして出力することにより、前記第 1 位相比較手段は、データ誤りの可能性が少ない信号を出力し前記先入れ先出しメモリ手段へ入力することができる。また、前記第 2 フリップフロップが生成する信号により第 3 フリップフロップは、前記リタイミング用クロック生成手段及び前記クロック抽出手段が出力するクロックの位相を決定するために必要なアップ信号又はダウン信号を生成し出力することができる。

【 0 0 1 7 】

【発明の実施の形態】

以下、本発明の実施形態に係るクロックデータリカバリー回路について、添付の図面を参照して具体的に説明する。図 1 は本発明の第 1 の実施形態に係るクロックデータリカバリー回路の構成を示すブロック図である。

【 0 0 1 8 】

本実施形態に係るクロック抽出手段は、第 1 位相比較手段 1 と、第 1 アップダウンカウンタ手段 2 と、加重手段 3 と、電圧値決定手段を構成するチャージポンプ 4 及びローパスフィルター 5 と、電圧制御発振手段 6 とで構成されている。

【 0 0 1 9 】

また、リタイミング用クロック生成手段は、第 2 アップダウンカウンタ手段 7 と第 2 位相調整手段 8 とで構成されている。

【 0 0 2 0 】

また、第 1 位相調整手段は、第 1 カウンタ手段 9 と、第 2 カウンタ手段 1 0 と、第 1 位相調整手段を構成する第 2 位相比較回路 1 1 及び第 3 アップダウンカウンタ手段 1 2 とで構成されている。

【 0 0 2 1 】

以上のクロック抽出手段、リタイミング用クロック生成手段、第 1 位相調整手段及び先入れ先出しメモリ手段 1 3 が、図 1 に示したブロック図のように接続さ

れ、本実施形態に係るクロックデータリカバリ回路全体が構成されている。なお、本実施形態では、はじめに入力されるシリアルデータ S 1 は、NRZ (Non Return to Zero) 方式でパルス信号に置き換えられたデジタル信号である。

【 0 0 2 2 】

このクロックデータリカバリ回路に入力されるシリアルデータ S 1 は、はじめに第 1 位相比較手段 1 に入力される。第 1 位相比較手段 1 は、このシリアルデータ S 1 とリタイミング用クロック生成手段から出力されるリタイミング用クロック S 2 とを入力され、これらの位相を比較しアップ信号又はダウン信号 S 3 を第 1 アップダウンカウンタ手段 2 及び第 2 アップダウンカウンタ手段 7 に出力する。また、この第 1 位相比較手段 1 は、リタイミング用クロック生成回路から入力されるリタイミング用クロック S 2 でシリアルデータ S 1 をリタイミングしたシリアルデータ S 1 0 を先入れ先出しメモリ手段 1 3 に出力する。

【 0 0 2 3 】

図 2 は第 1 位相比較手段 1 の内部構造を示すブロック図である。第 1 位相比較手段 1 に入力されるシリアルデータ S 1 及びリタイミング用クロック S 2 は、第 1 フリップフロップ 1 0 1 及び第 2 フリップフロップ 1 0 2 に各々入力される。但し、第 2 フリップフロップへリタイミング用クロックを入力するときは、このクロックの位相を反転させてから入力する。第 1 フリップフロップ 1 0 1 の出力 S 1 0 は第 3 フリップフロップ 1 0 3 のクロック端子へ入力され、第 2 フリップフロップ 1 0 2 の出力 S 1 0 2 は第 3 フリップフロップ 1 0 3 のデータ端子へ入力される。第 1 フリップフロップ 1 0 1 の出力するシリアルデータ S 1 0 は、はじめに入力されたシリアルデータ S 1 をリタイミング用クロック S 2 の立ち上がりのタイミングで取り込んだ値となる。また、第 2 フリップフロップ 1 0 2 の出力する信号 S 1 0 2 は、シリアルデータ S 1 をリタイミング用クロック S 2 の立ち下がりのタイミングで取り込んだ値となる。また、第 3 フリップフロップ 1 0 3 の出力するクロック S 3 は、第 2 フリップフロップ 1 0 2 の出力 S 1 0 2 を第 1 フリップフロップ 1 0 1 の出力 S 1 0 の立ち上がりのタイミングで取り込んだ値となる。よって、第 1 フリップフロップ 1 0 1 の出力するシリアルデータ S 1 0 は、シリアルデータ S 1 をリタイミング用クロック S 2 でリタイミングしたシリ

アルデータとなる。また、第3フリップフロップ103の出力する信号S3はアップ信号又はダウン信号である。

【0024】

図3は、これら3個のフリップフロップで構成される第1位相比較手段1の動作を示すタイミングチャートであり、各フリップフロップの入力信号及び出力信号の波形を表している。図3(a)に示すように、リタイミング用クロックS2の立ち上がりがシリアルデータS1の変化点及び各変化点間の中心より以前にある場合、第1フリップフロップ101の出力するシリアルデータS10が立ち上がる時に第2フリップフロップ102の出力する信号S102はロー信号となるため、第3フリップフロップの出力する信号S3はダウン信号となる。一方、図3(b)に示すように、リタイミング用クロックS2の立ち上がりがシリアルデータS1の変化点及び各変化点間の中心より以降にある場合、第1フリップフロップ101の出力するシリアルデータS10が立ち上がる時に第2フリップフロップ102の出力する信号S102はハイ信号となるため、第3フリップフロップの出力する信号S3はアップ信号となる。このアップ信号又はダウン信号S3が、第1アップダウンカウンタ手段2及び第2アップダウンカウンタ手段7に出力される。

【0025】

第1アップダウンカウンタ手段2は、第1位相比較手段1から出力されるアップ信号又はダウン信号S3を入力される。この第1アップダウンカウンタ手段2は、アップ信号S3が入力された場合にはカウント値を1だけ加算したカウント値S4を出力し、ダウン信号S3が入力された場合にはカウント値を1だけ減算したカウント値S4を出力する。このカウント値S4は加重手段3に入力され重み付け及び切替等の操作を加えられて変化したアップ信号又はダウン信号S5としてチャージポンプ4に出力される。このチャージポンプ4及びチャージポンプ4からの出力されるデータの高周波成分を平滑化するローパスフィルター5が、電圧値決定手段を構成している。

【0026】

図4(a)は、加重手段3及びチャージポンプ4の内部構造を示す図である。

加重手段 3 は、第 1 アップダウンカウンタ手段 2 から入力されるカウント値 S 4 と固定値とを比較し大小比較データ S 5 0 1 を出力する大小比較器 5 0 1 と、大小比較器 5 0 1 から出力される大小比較データ S 5 0 1、第 1 アップダウンカウンタ手段 2 から入力されるカウント値 S 4 及び第 3 アップダウンカウンタ手段 1 2 から入力されるカウント値 S 5 から前記電圧値決定手段に出力する信号を決定する論理回路 5 0 2 とで構成することができる。図 4 (b) は、これら 2 つのカウント値と固定値との組み合わせ及びこれらの入力値で決まる加重手段 3 の出力を示す図である。大小比較器 5 0 1 は、第 1 アップダウンカウンタ手段 2 から入力されるカウント値 S 4 と固定値とを比較しその大小情報を論理回路 5 0 2 に入力する。この論理回路 5 0 2 は、第 1 アップダウンカウンタ手段 2 及び第 3 アップダウンカウンタ手段 1 2 から入力されるカウント値 S 4 及び S 5 の正負情報と大小比較器 5 0 1 から入力される大小比較情報 S 5 0 1 とからアップ信号 S 5 0 2 及びダウン信号 S 5 0 3 をチャージポンプ 4 に出力する。

【 0 0 2 7 】

例えば、図 4 (b) に示すように、論理回路 5 0 2 からのアップ信号 S 5 0 2 がハイ信号であり、ダウン信号 S 5 0 3 がロー信号である場合、チャージポンプ 4 を構成するトランジスタ 5 0 3 はオンとなりトランジスタ 5 0 4 はオフとなる。このとき、チャージポンプ 4 の出力電圧はハイとなる。論理回路 5 0 2 からのアップ信号 S 5 0 2 がローであり、ダウン信号 S 5 0 3 がハイの場合、チャージポンプ 4 を構成するトランジスタ 5 0 3 はオフとなりトランジスタ 5 0 4 はオンとなる。このとき、チャージポンプ 4 の出力電圧はローとなる。また、論理回路 5 0 2 からのアップ信号 S 5 0 2 及びダウン信号 S 5 0 3 が共にローの場合、チャージポンプ 4 を構成するトランジスタ 5 0 3 及びトランジスタ 5 0 4 は共にオフとなり、チャージポンプ 4 の出力電圧はハイインピーダンスとなる。

【 0 0 2 8 】

本実施形態に係るリタイミング用クロック生成手段は、第 2 アップダウンカウンタ手段 7 と第 2 位相調整手段 8 とで構成されている。第 2 アップダウンカウンタ手段 7 は、第 1 位相比較手段 1 が出力するアップ信号又はダウン信号 S 3 を入力される。この第 1 位相比較手段 1 からのアップ信号又はダウン信号 S 3 を第 2

アップダウンカウンタ手段 7 は一定の周期で取り込み、取り込んだ信号 S 3 がアップ信号の場合にはカウント値を 1 だけ加算し、逆に取り込んだ信号 S 3 がダウン信号の場合にはカウント値を 1 だけ減算したカウント値 S 9 を第 2 位相調整手段 8 へ出力する。第 2 アップダウンカウンタ手段 7 からのカウント値 S 9 と電圧制御発振手段 6 の出力する抽出された入力クロック S 8 とを入力された第 2 位相調整手段 8 は、この第 2 アップダウンカウンタ手段 7 の出力するカウント値 S 9 に基づき、抽出された入力クロック S 8 の位相とずれた位相を有するリタイミング用クロック S 2 を出力する。

【 0 0 2 9 】

図 5 は、電圧制御発振手段 6 及び第 2 位相調整手段 8 との内部構成を示す図である。電圧制御発振手段 6 は、図 5 に示すように、4 個のディレイ素子を環状に直列接続したリングオシレータで構成することができる。電圧制御発振手段 6 の発振周波数は各ディレイ素子の信号遅延時間により決定され、この各ディレイ素子の信号遅延時間はローパスフィルター 5 から入力される制御電圧 S 7 により決定される。制御電圧 S 7 が一定の場合、各ディレイ素子の出力端のいずれか 1 つの出力を選択することにより、所望の位相を有する抽出された入力クロック S 8 を得ることができる。この各ディレイ素子の出力端の信号は第 2 位相調整手段 8 により出力される。なお、第 2 位相調整手段 8 は、第 2 アップダウンカウンタ手段 7 から入力されるカウント値 S 9 に基づき、電圧制御発振手段 6 におけるクロック発振位相をセレクタにより切り替える。

【 0 0 3 0 】

図 6 は、第 2 位相調整手段 8 が出力するリタイミング用クロック S 2 の波形である。第 2 位相調整手段 8 は、図 6 (a) に示すように、第 2 アップダウンカウンタ手段 7 から入力されるカウント値 S 9 が 1 だけ加算されたカウント値である場合には、リタイミング用クロック S 2 の位相を、このリタイミング用クロック S 2 の周期を任意の自然数で割った値の秒数 (1 ステップ) 分だけ進ませた位相に切替えてから出力する。逆に、第 2 アップダウンカウンタ手段 7 から入力されるカウント値 S 9 が 1 だけ減算されたカウント値である場合には、図 6 (b) に示すように、第 2 位相調整手段 8 はリタイミング用クロック S 2 の位相を 1 ステッ

プ分だけ遅らせた位相に切替えてから出力する。これらのクロックの周期 2 0 1 は、クロック位相切替操作の前後で一定である。また、これらのクロックの周期 2 0 1 は、第 2 アップダウンカウンタ手段 7 から入力されるカウント値 S 9 のクロック周期とも一致している。よって、第 2 位相調整手段 8 が出力するリタイミング用クロック S 2 の位相は、はじめの入力信号であるシリアルデータ S 1 の位相に対して素早く追従できるため、シリアルデータ S 1 に高周波成分のジッタが含まれる場合にも高周波成分のジッタに追従しジッタを含んだリタイミング用クロック S 2 が出力される。

【 0 0 3 1 】

この第 2 位相調整手段 8 から出力されるリタイミング用クロック S 2 は第 1 位相比較手段 1 に入力され、シリアルデータ S 1 のリタイミングに用いられる。第 1 位相比較手段 1 は、先に図 2 で示したように、その構成要素の 1 つであるフリップフロップ 1 0 1 でシリアルデータ S 1 をリタイミング用クロック S 2 でリタイミングしたシリアルデータ S 1 0 を出力する。第 2 位相調整手段 8 から出力されるリタイミング用クロック S 2 はシリアルデータ S 1 の位相に対する追従が速いため、シリアルデータ S 1 に高周波成分のジッタが含まれる場合にもリタイミングの時にデータ誤りの発生する可能性が低くジッタ耐力の規格を十分に満足させることができる。

【 0 0 3 2 】

本実施形態に係る第 1 位相調整手段は、第 1 カウンタ手段 9 と、第 2 カウンタ手段 1 0 と、第 1 位相調整手段を構成する第 2 位相比較回路 1 1 及び第 3 アップダウンカウンタ手段 1 2 とで構成されている。第 1 カウンタ手段 9 は、第 2 位相調整手段 8 から入力されるリタイミング用クロック S 2 のタイミングでカウントしたカウント値 S 1 2 及びこのカウント値 S 1 2 の最上位ビット情報 S 1 4 をそれぞれ先入れ先出しメモリ手段 1 3 及び第 2 位相比較回路 1 1 に出力する。また、第 2 カウンタ手段 1 0 は、電圧制御発振手段 6 から入力される抽出された入力クロック S 8 のタイミングでカウントしたカウント値 S 1 3 及びこのカウント値 S 1 3 の最上位ビット情報 S 1 5 をそれぞれ先入れ先出しメモリ手段 1 3 及び第 2 位相比較回路 1 1 に出力する。これらの第 1 カウンタ手段 9 の出力するカウン

ト値 S 1 2 及び第 2 カウンタ手段 1 0 の出力するカウント値 S 1 3 を入力される先入れ先出しメモリ手段 1 3 は、第 1 位相比較手段 1 が出力するシリアルデータ S 1 0 と、第 2 位相調整手段 8 が出力するリタイミング用クロック S 2 と、電圧制御発振手段 6 が出力する抽出された入力クロック S 8 とを入力され、第 2 位相調整手段 8 が出力するジッタ成分を含むリタイミング用クロック S 2 から電圧制御発振手段 6 が出力するジッタ成分の抑えられた抽出された入力クロック S 8 へシリアルデータ S 1 0 を乗せ換えシリアルデータ S 1 1 として出力する。よって、先入れ先出しメモリ手段 1 3 が出力するシリアルデータ S 1 1、すなわちクロックデータリカバリ回路の出力信号は、ジッタを抑えたシリアルデータ S 1 1 として出力される。従って、ジッタ伝達特性の規格を十分に満足させることができる。

【 0 0 3 3 】

また、本実施形態では、第 1 アップダウンカウンタ手段 2 は、第 1 位相比較手段 1 から出力されるアップ信号又はダウン信号 S 3 を入力される。この第 1 アップダウンカウンタ手段 2 は、アップ信号 S 3 が入力された場合にはカウント値を 1 だけ加算したカウント値 S 4 を出力し、ダウン信号 S 3 が入力された場合にはカウント値を 1 だけ減算したカウント値 S 4 を出力する。このカウント値 S 4 は加重手段 3 に入力され重み付け及び切替等の操作を加えられて変化したアップ信号又はダウン信号 S 5 としてチャージポンプ 4 に出力される。このチャージポンプ 4 及びチャージポンプ 4 からの出力されるデータの高周波成分を平滑化するローパスフィルター 5 が、電圧値決定手段を構成している。よって、この電圧値決定手段は、加重手段 3 からアップ信号 S 5 を入力されると電圧制御発振手段 6 に出力する制御電圧 S 7 を大きくし、加重手段 3 からダウン信号 S 5 を入力されると電圧制御発振手段 6 に出力する制御電圧 S 7 を小さくする。このため、電圧制御発振手段 6 が出力するクロック S 8、即ち、クロック抽出手段の出力する抽出された入力クロック S 8 の周波数は、電圧制御発振手段 6 に入力される制御電圧 S 7 が上昇すると大きくなり、逆に、制御電圧 S 7 が下降すると小さくなる。よって、電圧制御発振手段 6 が出力する抽出された入力クロック S 8 の周波数は、加重手段 3 で重み付け及び切替等の操作を与えられたアップ信号又はダウン信号

S 5 により制御される。従って、抽出された入力クロック S 8 の位相がシリアルデータ S 1 に対して比較的遅く追従するように加重手段 3 での操作を行うことにより、シリアルデータ S 1 に高周波成分のジッタが含まれた場合においても、高周波成分のジッタを抑えた抽出された入力クロック S 8 を出力することができる。

【 0 0 3 4 】

本実施形態に係る先入れ先出しメモリ手段 1 3 では、第 1 位相調整手段の働きにより、書き込み側のアドレス値と読み出し側のアドレス値とがぶつからない。図 7 は第 2 位相比較回路 1 1 の内部構造を示すブロック図である。第 2 位相比較回路 1 1 は、ただ 1 個のフリップフロップ 3 0 1 のみで構成できる。フリップフロップ 3 0 1 は、図 7 に示すように、第 1 カウンタ手段 9 から出力されるカウント値 S 1 2 の最上位ビット情報 S 1 4 をそのクロック入力端子に入力され、第 2 カウンタ手段 1 0 から出力されるカウント値 S 1 3 の最上位ビット情報 S 1 5 をそのデータ入力端子に入力される。そして、フリップフロップ 3 0 1 は、このクロック入力端子に入力される最上位ビット情報 S 1 4 のクロックが立上がるタイミングで、このデータ端子に入力される最上位ビット情報 S 1 5 を取り込んだ値を、第 2 位相比較手段 1 1 の出力するアップ信号又はダウン信号 S 1 6 として第 3 アップダウンカウンタ手段 1 2 へ出力する。

【 0 0 3 5 】

第 1 カウンタ手段 9 が出力するカウント値 S 1 2 及び第 2 カウンタ手段 1 0 が出力するカウント値 S 1 3 は、それぞれ先入れ先出しメモリ手段 1 3 の書き込み側のアドレス値及び読み出し側のアドレス値に対応している。図 6 は、この先入れ先出しメモリ手段のアドレス空間の深さが 4 である場合における第 1 カウンタ手段 9 及び第 2 カウンタ手段 1 0 の動作を示すタイミングチャートである。第 1 カウンタ手段 9 が出力するカウント値 S 1 2 及び第 2 カウンタ手段 1 0 が出力するカウント値 S 1 3 は、0 から 3 の範囲の整数値を取る。例えば、カウント値が 2 又は 3 であるとき、このカウント値の最上位ビットはハイとなる。よって、第 1 カウンタ手段 9 から出力されるカウント値 S 1 2 の最上位ビット情報 S 1 4 と、第 2 カウンタ手段 1 0 から出力されるカウント値 S 1 3 の最上位ビット情報 S

15の位相を180°ずらすことにより、先入れ先出しメモリ手段13の書き込み側のアドレス値と読み出し側のアドレス値との距離を、この先入れ先出しメモリ手段13のアドレス空間の深さの半分にすることができ、書き込み側のアドレス値と読み出し側のアドレス値とがぶつかることはない。

【0036】

フリップフロップ301の出力する信号S16は、図8(a)に示すように、第1カウンタ手段9がカウントするカウント値S12の最上位ビット情報S14が立上がる時に、第2カウンタ手段10がカウントするカウント値S13の最上位ビット情報S15がハイである場合はハイとなり、このフリップフロップ301で構成される第2位相比較回路11はアップ信号S16を第3アップダウンカウンタ手段12に出力する。また、フリップフロップ301の出力する信号S16は、図8(b)に示すように、第1カウンタ手段9がカウントするカウント値S12の最上位ビット情報S14が立上がる時に、第2カウンタ手段10がカウントするカウント値S13の最上位ビット情報S15がローである場合はローとなり、このフリップフロップ301で構成される第2位相比較回路11はダウン信号S16を第3アップダウンカウンタ手段12に出力する。

【0037】

この第3アップダウンカウンタ手段12は、第2位相比較回路11からアップ信号S16を入力されるとカウント値を1だけ加算し、ダウン信号S16を入力されるとカウント値を1だけ減算したカウント値S5を、加重手段3に向けて出力する。この第3アップダウンカウンタ手段12から出力されるカウント値S5を入力された加重手段3は、このカウント値S5に重み付け及び切替等の操作を加えたアップ信号又はダウン信号S6をチャージポンプ4に向けて出力する。このチャージポンプ4は、ローパスフィルター5と共にクロック抽出手段における電圧値決定手段の構成要素となっている。このため、上記のように第1位相調整手段が働くことにより、クロック抽出手段が電圧制御発振手段6から出力される抽出された入力クロックS8の発振周波数を制御することができる。よって、抽出された入力クロックS8の発振周波数を制御することにより、このクロックS8を入力される第2カウンタ手段10の出力するカウント値S13の位相を制御

することができる。従って、このカウント値 S 1 3 によって調整される先入れ先出しメモリ手段 1 3 の読み出し側のアドレス値を制御することが可能となり、この先入れ先出しメモリ手段 1 3 の書き込み側のアドレス値と読み出し側のアドレス値とが重複するのを回避できる。

【 0 0 3 8 】

本発明に係る第 1 の実施形態では、先ず、第 1 位相比較手段 1 に入力される信号であるシリアルデータ S 1 の位相とリタイミング用クロック S 2 の位相とが比較される。次に、この位相比較結果に基づき第 1 位相比較手段 1 はアップ信号又はダウン信号 S 3 を出力する。このアップ信号又はダウン信号 S 3 は第 1 アップダウンカウンタ手段 2 に入力される。この第 1 アップダウンカウンタ手段 2 は、第 1 位相比較手段 1 から入力される信号 S 3 がアップ信号の場合はカウント値を 1 だけ加算し、ダウン信号の場合はカウント値を 1 だけ減算したカウント値 S 4 を出力する。この第 1 アップダウンカウンタ手段 2 が出力したカウント値 S 4 は加重手段 3 に入力され、重み付け及び切替操作等の操作を加えられる。この加重手段 3 は、これらの操作により第 1 アップダウンカウンタ手段 2 から入力されるカウント値 S 4 に基づいたアップ信号又はダウン信号 S 5 を生成し出力する。この加重手段 3 から出力されるアップ信号又はダウン信号 S 5 は、電圧値決定手段 4 及び 5 に入力される。この電圧値決定手段 4 及び 5 は、この加重手段 3 から出力されるアップ信号又はダウン信号 S 5 に基づいた電圧値を決定し制御電圧情報 S 7 として電圧制御発振手段 6 へ出力する。電圧制御発振手段 6 は、この制御電圧情報 S 7 を入力され、この制御電圧情報 S 7 に基づいて発振周波数を決定し生成したクロック S 8 を出力する。この電圧制御発振手段 6 が出力するクロック S 8 が入力信号から抽出された入力クロックであり、このクロックデータリカバリ回路の出力するクロックとなる。従って、このクロック抽出手段から出力される抽出された入力クロックの位相を加重手段 3 で操作し調整することにより、このクロックデータリカバリ回路の出力クロックのジッタ伝達特性を向上させることができる。

【 0 0 3 9 】

また、本発明に係る第 1 の実施形態では、第 2 アップダウンカウンタ手段 7 は

、第 1 位相比較手段 1 が出力するアップ信号又はダウン信号 S 3 を入力され、アップ信号を入力された場合にはカウント値を 1 だけ加算したカウント値を出力し、ダウン信号を入力された場合にはカウント値を 1 だけ減算したカウント値 S 9 を出力する。第 2 位相調整手段 8 は、第 2 アップダウンカウンタ手段 7 からのカウント値 S 9 とクロック抽出手段から出力される抽出された入力クロック S 8 とを入力される。この第 2 アップダウンカウンタ手段 7 から入力されるカウント値 S 9 により、第 2 位相調整手段 8 は抽出された入力クロック S 8 とは位相のずれたクロック S 2 をリタイミング用クロックとして生成し出力することができる。

【 0 0 4 0 】

第 1 カウンタ手段 9 は、リタイミング用クロック生成手段から出力されるリタイミング用クロック S 2 を入力され、このクロック S 2 のタイミングでカウントしたカウント値 S 1 2 及びこのカウント値の最上位ビット情報 S 1 4 を出力する。また、第 2 カウンタ手段 1 0 は、クロック抽出手段から出力される抽出された入力クロック S 8 を入力され、このクロック S 8 のタイミングでカウントしたカウント値 S 1 3 及びこのカウント値の最上位ビット情報 S 1 5 を出力する。第 2 位相比較手段 1 1 は、第 1 カウンタ手段 9 から出力されるカウント値 S 1 2 の最上位ビット情報 S 1 4 と第 2 カウンタ手段 1 0 から出力されるカウント値 S 1 3 の最上位ビット情報 S 1 5 とを入力される。第 2 位相比較手段 1 1 は、これらの最上位ビット情報 S 1 4 及び S 1 5 の位相を比較し、その結果に基づいてアップ信号又はダウン信号 S 1 6 を出力する。この第 2 位相比較手段 1 1 から出力される信号 S 1 6 は第 3 アップダウンカウンタ手段 1 2 に入力される。この第 3 アップダウンカウンタ手段 1 2 は、第 2 位相比較手段 1 1 から入力される信号 S 1 6 がアップ信号の場合にはカウント値を 1 だけ加算したカウント値 S 5 を出力し、ダウン信号が入力される場合にはカウント値を 1 だけ減算したカウント値 S 5 を出力する。この第 3 アップダウンカウンタ手段 1 2 が出力するカウント値 S 5 は、クロック抽出手段の構成要素である加重手段 3 に入力される。加重手段 3 は、第 3 アップダウンカウンタ手段 1 2 から入力されるカウント値 S 5 に重み付け及び切替等の操作を加えてアップ信号又はダウン信号 S 6 として出力する。この加重手段 3 から出力される信号は電圧値決定手段 4 及び 5 に入力され、電圧制御発

振手段 6 が生成する抽出された入力クロック S 8 の発振周波数を決定するのに用いられる。このように、第 1 位相調整手段からの出力 S 5 がクロック抽出手段に入力され、このクロック抽出手段が生成するクロック S 8 の発振周波数を変化させることにより、先入れ先出しメモリ手段 1 3 の書き込み側のアドレス値と読み出し側のアドレス値とが重ならないようなクロックを抽出された入力クロック S 8 として出力することが可能となる。

【 0 0 4 1 】

また、第 1 位相比較手段 1 は、入力信号であるシリアルデータ S 1 をリタイミング用クロック生成手段から入力されるリタイミング用クロック S 2 でリタイミングした信号 S 1 0 を出力する。そして、先入れ先出しメモリ手段 1 3 は、この第 1 位相比較手段 1 が出力する信号 S 1 0 をリタイミング用クロック生成手段から入力されるリタイミング用クロック S 2 のタイミングで第 1 カウンタ手段 9 から入力されるカウント値 S 1 2 に等しい値のアドレス値が示す場所には書き込み、クロック抽出手段から入力される抽出された入力クロック S 8 のタイミングで第 2 カウンタ手段 1 0 から入力されるカウント値 S 1 3 に等しい値のアドレス値が示す場所から読み出した信号 S 1 1 を出力する。このようにして出力される信号 S 1 1 は、入力信号 S 1 0 をジッタ伝達特性を向上させるように調整され抽出された入力クロック S 8 に乗せ換えた信号であるから、ジッタ成分を抑えた信号として出力させることができる。

【 0 0 4 2 】

図 9 は本発明の第 2 の実施形態に係るクロックデータリカバリー回路の構成を示すブロック図である。このクロックデータリカバリー回路では、図 9 に示すように、第 1 位相比較手段 1 と先入れ先出しメモリ手段 1 3 との間にシリアルーパラレル変換回路 1 4 が設けられている。このシリアルーパラレル変換回路 1 4 は、第 1 位相比較手段 1 から出力されるシリアルデータ S 1 0 をリタイミング用クロック S 2 のタイミングで入力しパラレルデータに変換した後、分周器 1 5 から入力されるクロック S 1 7 のタイミングで先入れ先出しメモリ手段 1 3 へ、パラレルデータ S 1 8 として出力する。分周器 1 5 は、第 2 位相調整手段 8 から入力されるクロック S 2 を分周しシリアルーパラレル変換回路 1 4 と先入れ先出しメ

メモリ手段 1 3 と第 1 カウンタ手段 9 とへ向けてクロック S 1 7 として出力する。
また、電圧制御発振手段 6 と先入れ先出しメモリ手段 1 3 との間にも、図 7 に示すように、分周器 1 6 が設けられている。この分周期 1 6 は、電圧制御発振手段 6 から入力されるクロック S 8 を分周して先入れ先出しメモリ手段 1 3 及び第 2 カウンタ手段 1 0 へ向けてクロック S 1 9 を出力する。

【 0 0 4 3 】

このように、先入れ先出しメモリ手段 1 3 の入力側にシリアルーパラレル変換回路 1 4 を設けることにより、従来のクロックデータリカバリー回路では扱えなかった高速のシリアルデータであっても、本実施形態に係るクロックデータリカバリー回路においては、ジッタ伝達特性及びジッタ耐力の両方の規格を満たす出力信号及び抽出されたクロックを出力させることが可能である。

【 0 0 4 4 】

【発明の効果】

以上詳述したように、本発明によるクロックデータリカバリー回路は、入力信号をリタイミングするためのリタイミング用クロックをクロック抽出手段とは独立して生成することができる。このため、クロック抽出手段において抽出された入力クロックの位相をジッタ伝達特性を向上させる方向に調整しジッタ耐力が低下するような場合においても、リタイミング用クロックの位相をリタイミング用クロック生成手段において別途調整し、ジッタ耐力の規格を満足させるリタイミング用クロックを生成することができる。また、これらリタイミング用クロック、抽出された入力クロック及び入力信号を先入れ先出しメモリに入力し、信号の乗せ換え操作等を行うことにより、ジッタ耐力の規格を満足するリタイミング用クロックでリタイミングされ、ジッタ伝達特性の規格を満足する抽出された入力クロックへ乗せ換えられたデータを出力させることができる。よって、ジッタ耐力及びジッタ伝達特性の両方の規格を同時に満足させることが可能である。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係るクロックデータリカバリー回路の構成を示すブロック図である。

【図 2】

本発明の第 1 の実施形態に係るクロックデタリカバリー回路のクロック抽出手段の構成要素の一つである第 1 位相比較手段の内部構造を示すブロック図である。

【図 3】

図 2 に示した位相比較回路の動作を示すタイミングチャートである。

【図 4】

本発明の第 1 の実施形態に係るクロックデタリカバリー回路のクロック抽出手段の構成要素の一つである加重手段の内部構造を示すブロック図と、この加重手段への入出力信号の動作を示す図である。

【図 5】

本発明の第 1 の実施形態に係るクロックデタリカバリー回路のリタイミング用クロック生成手段の構成要素の一つである第 2 位相調整手段の動作を示す図である。

【図 6】

本発明の第 1 の実施形態に係るクロックデタリカバリー回路のリタイミング用クロック生成手段の構成要素の一つである第 2 位相調整手段の動作を示す波形図である。

【図 7】

本発明の第 1 の実施形態に係るクロックデタリカバリー回路の第 1 位相調整手段の構成要素の一つである第 2 位相比較回路の内部構造を示すブロック図である。

【図 8】

本発明の第 1 の実施形態に係るクロックデタリカバリー回路の第 1 位相調整手段の構成要素である第 1 カウンタ手段及び第 2 カウンタ手段の動作を示すタイミングチャートである。

【図 9】

本発明の第 2 の実施形態に係るクロックデタリカバリー回路の構成を示すブロック図である。

【図 1 0】

従来のクロックデータリカバリー回路の構成を示すブロック図である。

【符号の説明】

1 ; 第 1 位相比較手段

2 ; 第 1 アップダウンカウンタ

3 ; 加重手段

4 ; チャージポンプ

5 ; ローパスフィルター

6 ; 電圧制御発振手段

7 ; 第 2 アップダウンカウンタ手段

8 ; 第 2 位相調整手段

9 ; 第 1 カウンタ手段

1 0 ; 第 2 カウンタ手段

1 1 ; 第 2 位相比較回路

1 2 ; 第 3 アップダウンカウンタ手段

1 3 ; 先入れ先出しメモリ手段

1 4 ; シリアルーパラレル変換回路

1 5, 1 6 ; 分周器

1 0 1, 1 0 2, 1 0 3, 3 0 1 ; フリップフロップ

2 0 1 ; クロック周期

S 1, S 1 0, S 1 1, S 4 0 1, S 4 0 9 ; シリアルデータ

S 2, S 8, S 1 7, S 1 9, S 4 0 2 ; クロック

S 3, S 6, S 1 6, S 4 0 3, S 4 0 4, S 4 0 5, S 4 0 6 ; アップ信号

又はダウン信号

S 4, S 5, S 9, S 1 2, S 1 3, ; カウント値

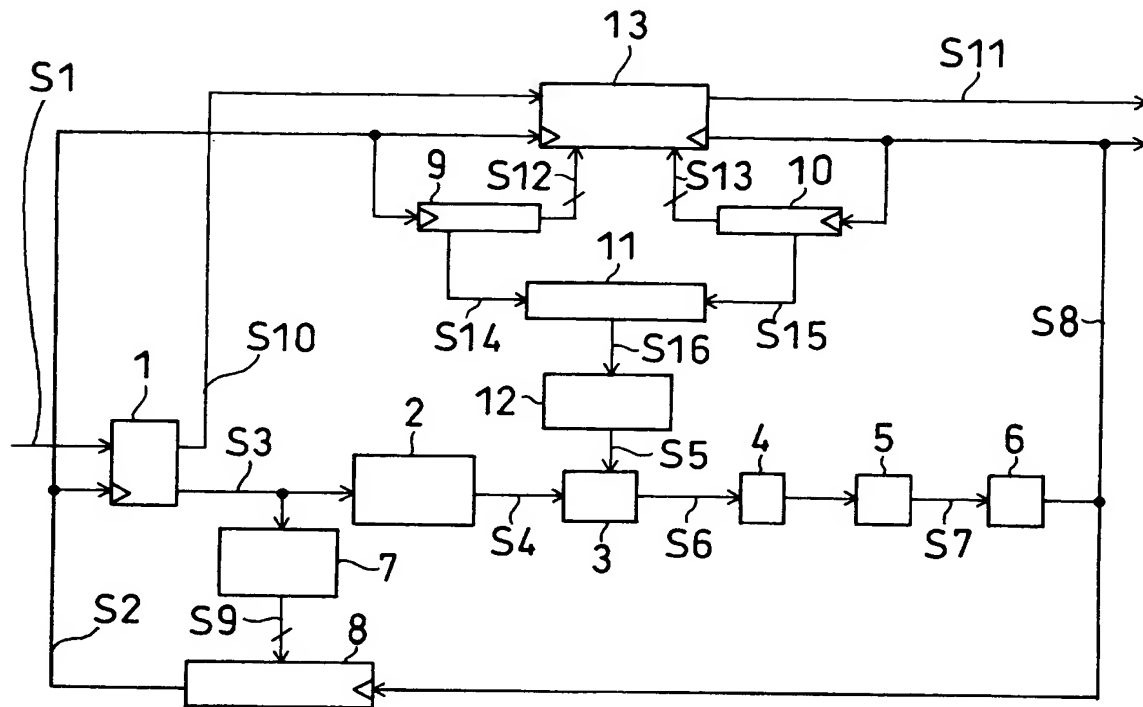
S 7, S 4 0 8 ; 制御電圧情報

S 1 4, S 1 5 ; 最上位ビット情報

S 1 8, S 2 0 ; パラレルデータ

【書類名】 図面

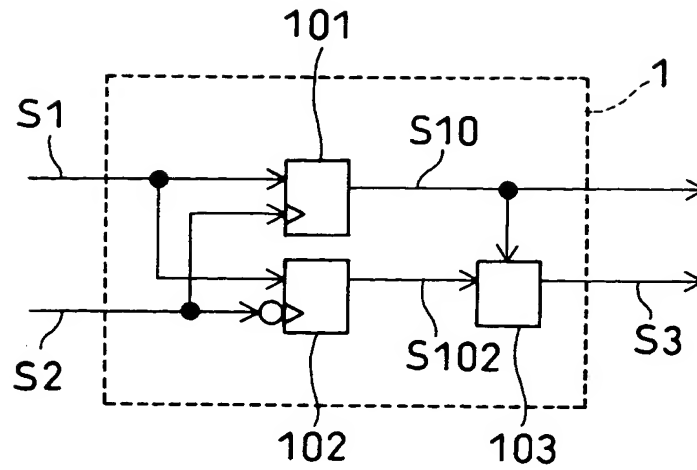
【図 1】



1 ; 第1位相比較手段
2 ; 第1アップダウンカウンタ手段
3 ; 加重手段
4 ; チャージポンプ
5 ; ローパスフィルター
6 ; 電圧制御発振手段
7 ; 第2アップダウンカウンタ手段
8 ; 第2位相調整手段
9 ; 第1カウンタ手段
10 ; 第2カウンタ手段
11 ; 第2位相比較回路

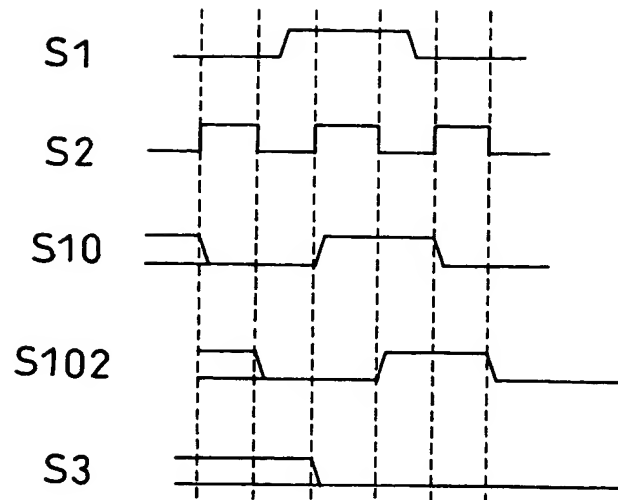
12 ; 第3アップダウンカウンタ手段
13 ; 先入れ先出しメモリ
S1、S10、S11 ; シリアルデータ
S2、S8 ; クロック
S3、S6 ; アップ信号又はダウン信号
S4、S5、S9、S12、S13 ; カウント値
S7 ; 制御電圧情報
S14、S15 ; 最上位ビット情報

【図 2】

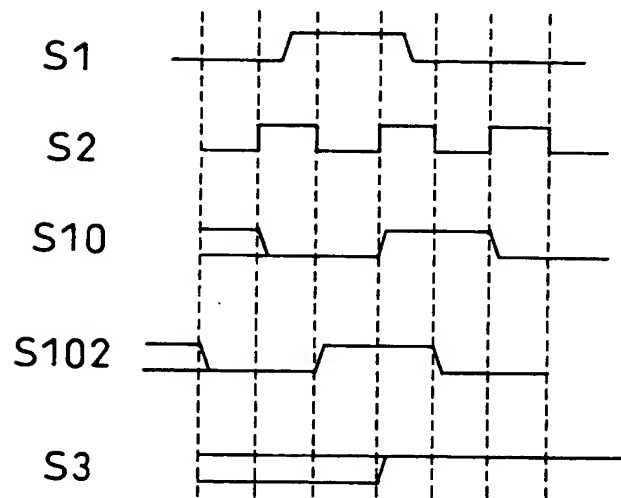


101、102、103；フリップフロップ
 S1、S10；シリアルデータ
 S2；クロック
 S3；アップ信号又はダウン信号
 S102；フリップフロップ102の出力

【図 3】



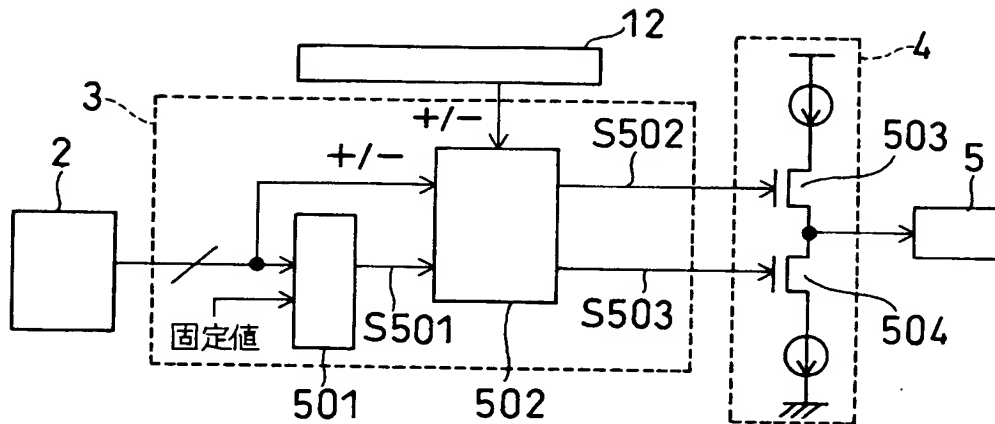
(a)



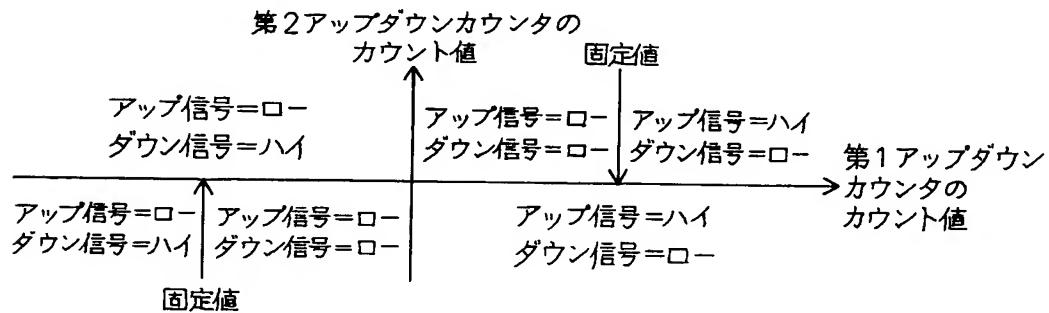
(b)

S1、S10；シリアルデータ
 S2；クロック
 S3；アップ信号又はダウン信号
 S102；フリップフロップ102の出力

【図 4】



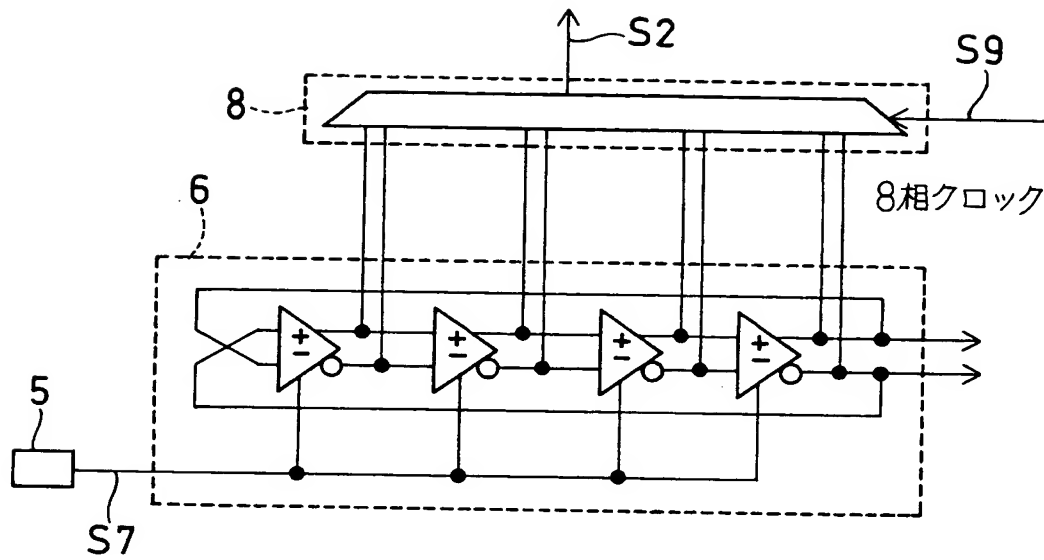
(a)



(b)

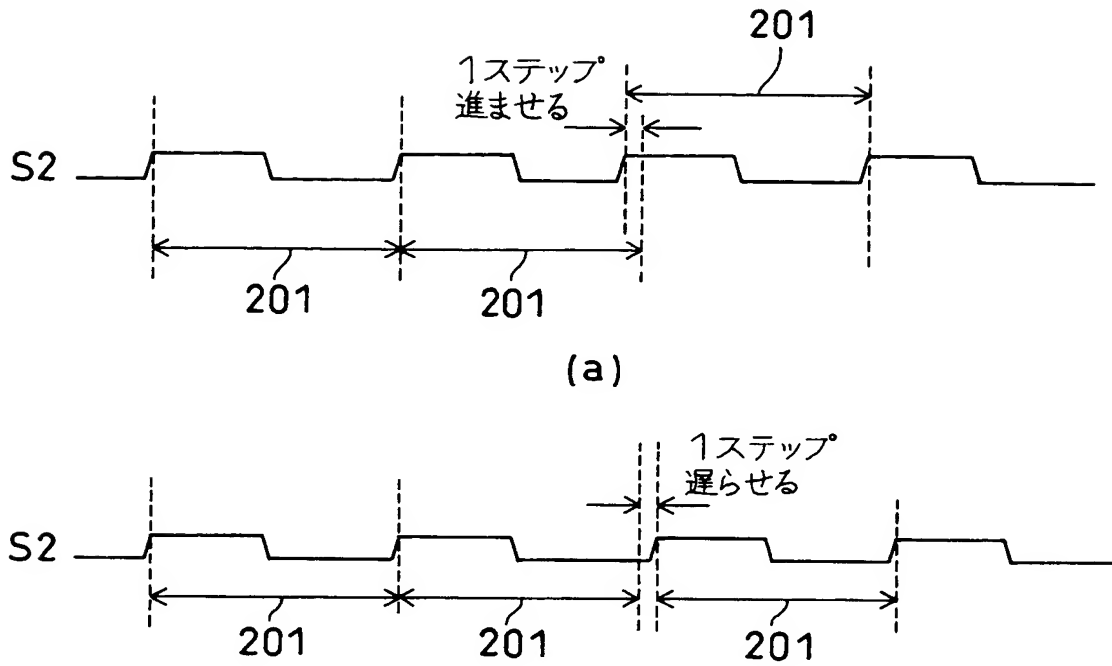
- 2 ; 第1アップダウンカウンタ手段
- 3 ; 加重手段
- 4 ; チャージポンプ
- 5 ; ローパスフィルタ
- 12 ; 第3アップダウンカウンタ手段
- 501 ; 大小比較器
- 502 ; 論理回路
- 503、504 ; トランジスタ
- S501 ; 大小比較情報
- S502 ; アップ信号
- S503 ; ダウン信号

【図5】



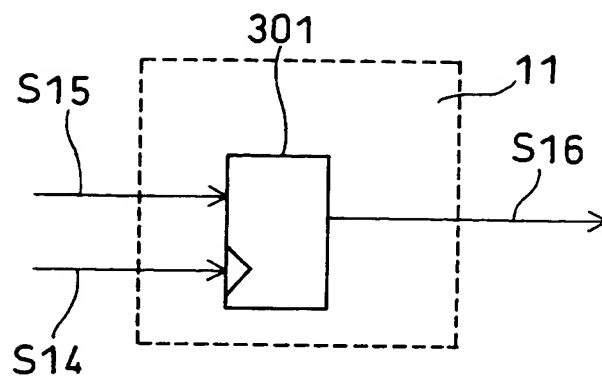
- 5 ; ローパスフィルター
- 6 ; 電圧制御発振手段
- 8 ; 第2位相調整手段
- S2 ; クロック
- S7 ; 制御電圧情報
- S9 ; カウント値

【図 6】



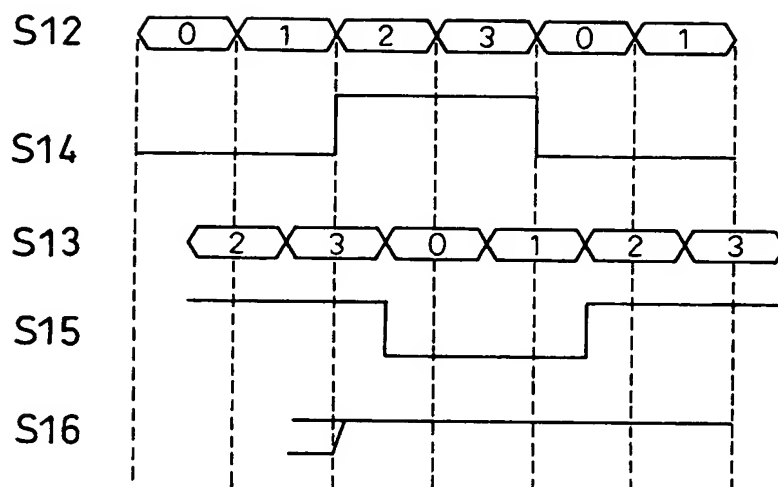
201 ; クロック周期
S2 ; クロック

【図 7】

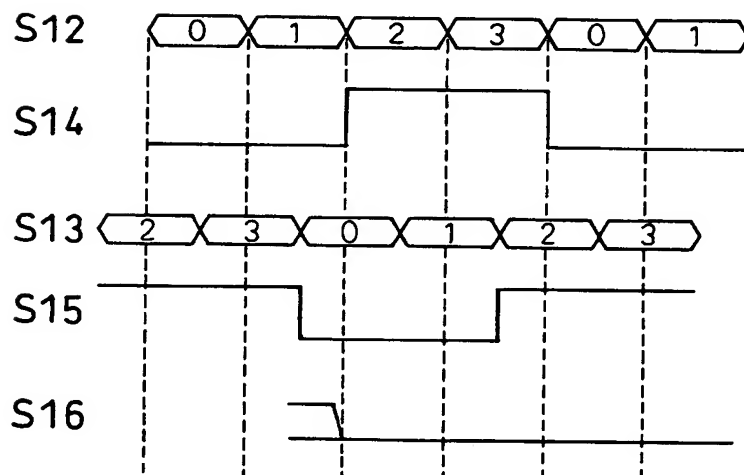


11 ; 第 2 位和比較回路
 301 ; フリップフロップ
 S14、S15 ; 最上位ビット情報
 S16 ; アップ信号又はダウン信号

【図 8】



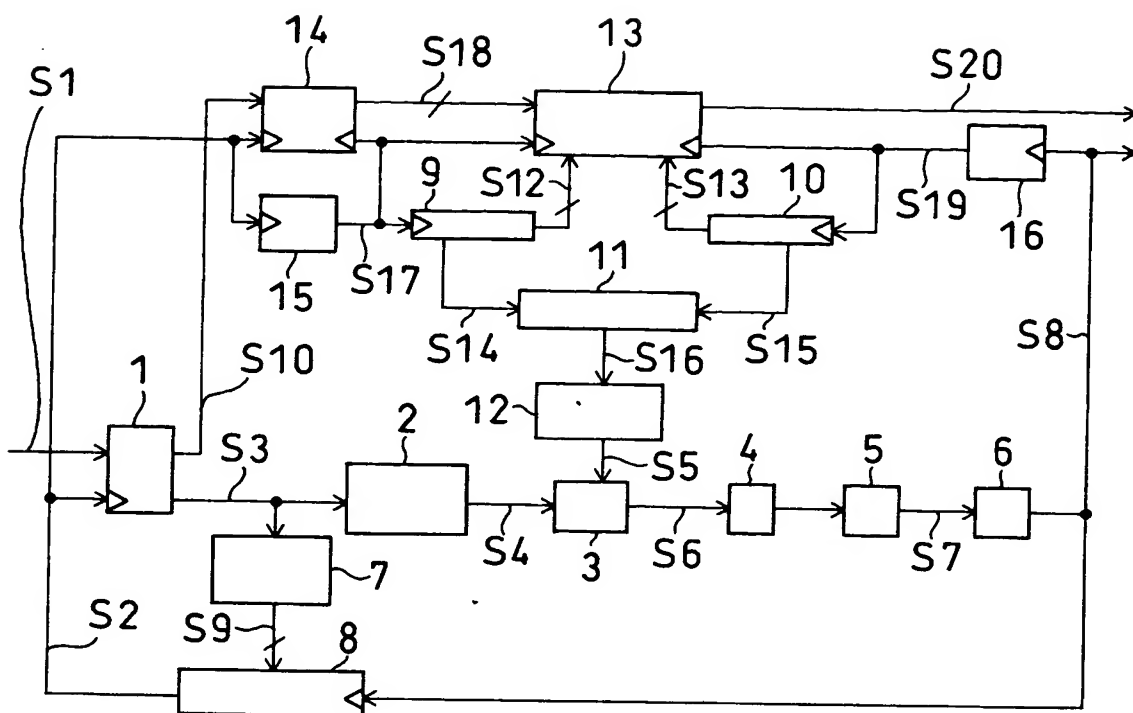
(a)



(b)

S12 ; 書き込み側アドレス値
 S13 ; 読み出し側アドレス値
 S14 ; 書き込み側アドレス値の最上位ビット
 S15 ; 読み出し側アドレス値の最上位ビット
 S16 ; アップ信号又はダウン信号

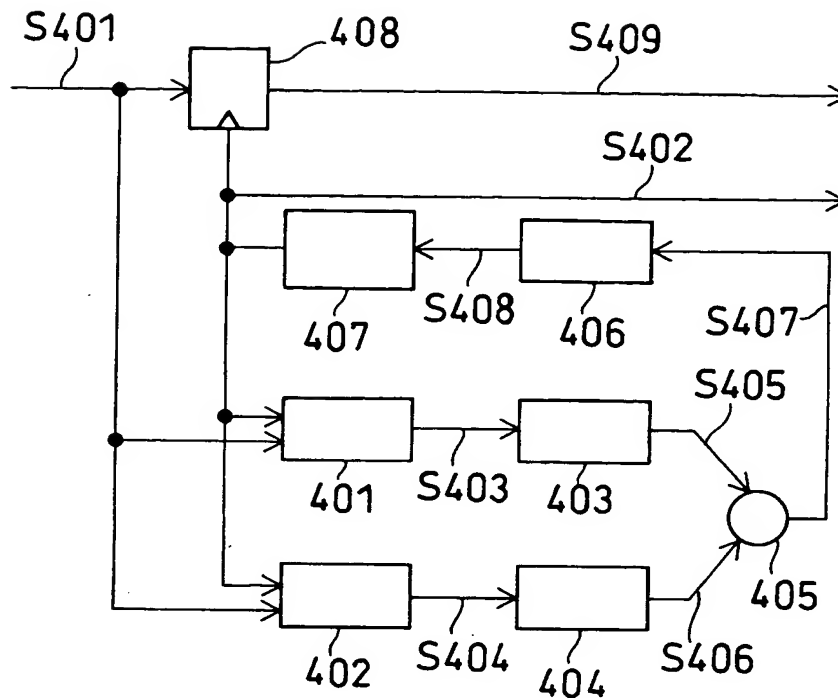
【図9】



- 1 ; 第1位相比較手段
- 2 ; 第1アップダウンカウンタ手段
- 3 ; 加重手段
- 4 ; チャージポンプ
- 5 ; ローパスフィルター
- 6 ; 電圧制御発振手段
- 7 ; 第2アップダウンカウンタ手段
- 8 ; 第2位相調整手段
- 9 ; 第1カウンタ手段
- 10 ; 第2カウンタ手段
- 11 ; 第2位相比較回路
- 12 ; 第3アップダウンカウンタ手段

- 13 ; 先入れ先出しメモリ
- 14 ; シリアルーパラレル変換回路
- 15、16 ; 分周器
- S1、S10 ; シリアルデータ
- S2、S8、S17、S19 ; クロック
- S3、S6、S16 ; アップ信号又はダウン信号
- S4、S5、S9、S12、S13 ; カウント値
- S7 ; 制御電圧情報
- S14、S15 ; 最上位ビット情報
- S18、S20 ; パラレルデータ

【図 1 0】



- 401 ; 位相検出回路 (PD)
 402 ; 周波数検出回路 (FD)
 403 ; PD フィルター
 404 ; FD フィルター
 405 ; 加重回路
 406 ; 高周波除去フィルター
 407 ; 電圧制御発振機
 408 ; フリップフロップ
 S401、S409 ; シリアルデータ
 S402 ; クロック
 S404、S405、S406 ; アップ信号又はダウン信号
 S408 ; 制御電圧情報

【書類名】 要約書

【要約】

【課題】 ジッタ伝達特性及びジッタ耐力の両方がSONET/SDH規格を同時に満足させることができるクロックデータリカバリー回路を提供する。

【解決手段】 クロック抽出手段は、第1位相比較手段1と、第1アップダウンカウンタ手段2と、加重手段3と、電圧値決定手段を構成するチャージポンプ4及びローパスフィルター5と、電圧制御発振手段6とで構成される。また、リタイミング用クロック生成手段は、第2アップダウンカウンタ手段7と第2位相調整手段8とで構成される。更に、第1位相調整手段は、第1カウンタ手段9と、第2カウンタ手段10と、第1位相調整手段を構成する第2位相比較回路11及び第3アップダウンカウンタ手段12とで構成される。前記クロック抽出手段、リタイミング用クロック生成手段及び第1位相調整手段並びに先入れ先出しメモリ手段13とでクロックデータリカバリー回路を構成する。

【選択図】 図1

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 2 - 2 0 0 3 5 1
受付番号	5 0 2 0 1 0 0 5 4 6 8
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 4 年 7 月 1 0 日

< 認定情報・付加情報 >

【提出日】	平成14年 7月 9日
-------	-------------

【書類名】 出願人名義変更届（一般承継）

【整理番号】 71110550

【提出日】 平成15年 1月29日

【あて先】 特許庁長官 殿

【事件の表示】

 【出願番号】 特願2002-200351

【承継人】

 【識別番号】 302062931

 【氏名又は名称】 N E Cエレクトロニクス株式会社

【承継人代理人】

 【識別番号】 100090158

 【弁理士】

 【氏名又は名称】 藤巻 正憲

【提出物件の目録】

 【物件名】 承継人であることを証明する登記簿謄本 1

 【援用の表示】 平成15年1月10日提出の特願2002-31848
8の出願人名義変更届に添付のものを援用する。

 【物件名】 承継人であることを証明する承継証明書 1

 【援用の表示】 平成15年1月23日提出の平成11年特許願第031
184号の出願人名義変更届に添付のものを援用する。

 【包括委任状番号】 0216549

【ブルーフの要否】 要

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [3 0 2 0 6 2 9 3 1]

1. 変更年月日 2 0 0 2 年 1 1 月 1 日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名 NECエレクトロニクス株式会社